

# ***PCI-Proto Lab/PLX-M***

Technisches Handbuch

HK Meßsysteme GmbH  
Grünauer Str. 8

12557 Berlin

**Januar 2009**

# Inhaltsverzeichnis

	Seite
1. Überblick _____	3
2. Hardware _____	3
2.1. PCI9054 von PLX Technology _____	4
2.1.1. PCI Bus Interface _____	4
2.1.2. Local Bus Interface _____	4
2.2. JTAG-Unterstützung _____	5
2.3. EEPROM _____	5
3. Die Beispielapplikation _____	5
4. Nutzungshinweise _____	5
5. Software _____	6
6. Anhang _____	8
6.1. Bockschaltbild _____	9
6.2. Schaltbild _____	10
6.3. Anschlussbelegungen _____	11
6.4. Anschlussbelegungen Pfostenleisten _____	13
6.5. Löt Jumper Settings _____	17
6.6. Anschlussbelegung EPLD _____	18
6.7. Bestückungsplan _____	19
6.8. Oszillogramme _____	20
6.9. Quellcode EPLD M4A3-64/32 _____	26
6.9.1. ABEL basierender Quellcode _____	26
6.9.2. VHDL basierender Quellcode _____	26
6.10. Lieferadressen _____	27
6.11. Webadressen _____	28
6.12. Technische Daten _____	28

**Achtung:** Die Abschnitte **6.2.** sowie **6.9.** sind in dieser gekürzten Ausgabe nicht enthalten.

## 1. Überblick

**PCI-Proto LAB/PLX-M** ist ein effizientes Hilfsmittel zur Entwicklung von Zusatzkarten für Personalcomputer und andere Rechnersysteme, die mit dem PCI-Bus ausgestattet sind.

Diese Karte ermöglicht den schnellen und unkomplizierten Test neuentwickelter Elektronikschaltungen am PCI-Bus.

**PCI-Proto LAB/PLX-M** arbeitet mit dem universellen PCI Master Controller PCI9054 von PLX Technology, Inc., der die typischen PCI-Betriebsarten beherrscht und die PCI Local Bus Spezifikation Revision 2.2. erfüllt.

Die Karte ist bestückt, geprüft und sofort betriebsbereit. Der Schaltungsdesigner kann seine Hardware direkt auf das Lochrasterfeld montieren und mit den Tests beginnen. Die Beschäftigung mit den Signalspielen und technischen Eigenschaften des PKI-Bussystems kann auf ein Minimum reduziert werden.

**PCI-Proto LAB/PLX-M** ist eine lange PC-Karte in Vierlagentechnik. Sie kann an den markierten Stellen abgeschnitten und zu einer kurzen Karte gewandelt werden.

**PCI-Proto LAB/PLX-M** ist als Universal-Karte für PCI-Bus Systeme mit 5V oder 3,3V Signalhub ausgelegt.

Obwohl Betriebsspannung für alle elektronischen Schaltkreise 3.3V beträgt, arbeitet **PCI-Proto LAB/PLX-M** auch in älteren PC-Steckplätzen, die nur 5V Versorgungsspannung führen. Ein auf der Karte montierter LowDrop-Regler sorgt dann für die benötigte 3,3V-Versorgung. Der Anwender kann durch Schließen/Öffnen spezieller Löt-Jumper festlegen, ob die 3,3V Bordspannung direkt vom PCI-Slot, bzw. durch Herabreglung der 5V Versorgungsspannung mittels des LowDrop-Reglers bereitzustellen ist.

Der Anschluss für 3.3V und Masse erfolgt jeweils über einen eigenen Layer. Für die 5V Versorgung ist eine Gitternetzstruktur auf der Bestückungsseite vorhanden.

**PCI-Proto LAB/PLX-M** wird mit vormontiertem Kartenhalter ausgeliefert. Der Anwender kann bei Bedarf eine 15polige DSUB-Buchse und eine BNC-Buchse nachträglich bestücken.

Die Hardware-Dokumentation von **PCI-Proto LAB/PLX-M** wird durch Schaltungsunterlagen, Bestückungs- und Anschlussschemata, EPLD Quelltexte sowie durch Oszillogramme abgerundet.

## 2. Hardware

Zur einführenden Beschreibung dient das Blockschaltbild (Anhang 6.1). Funktionell gliedert sich die Hardware in drei Teile:

- PCI- Controller,
- serial EEPROM,
- Beispiel-Applikation mit 32 bit Latches und EPLD.

## 2.1. PCI9054 von PLX Technology

Der PLX PCI9054 ist ein universeller PCI Master Controller für den 32-bit/33-MHz PCI-Bus. Er dient als PCI Brücke zwischen dem PCI Bus und spezifischen Anwenderschaltungen auf dem lokalen Bus. Der PCI9054 verarbeitet alle typischen PCI Signale und Zugriffsmechanismen auf dem PCI-Bus. Er übersetzt diese in ein universelles Steuer-, Adress- und Dateninterface, an das sich anwenderspezifische Speicher- sowie auch I/O-Einheiten anschließen lassen. Hierzu besitzt er zwei Interfaces, die folgendermaßen bezeichnet sind:

- das PCI Bus Interface
- das Local Bus Interface

Die Interfaces des PCI-Controllers sind für den Anwender der *PCI-Proto LAB/PLX-M* von unterschiedlicher Bedeutung und werden nachfolgend beschrieben.

### 2.1.1. PCI Bus Interface

Das PCI Bus Interface dient zur Ankopplung des Controllers an den PCI Bus. Auf der *PCI-Proto LAB/PLX-M* ist das PCI Bus Interface mit dem PCI-Anschlusskamm der Leiterkarte voll verdrahtet, der Anwender hat hier keinen weiteren Aufwand zu betreiben.

### 2.1.2. Local Bus Interface

Das Local-Bus Interface ist für den Anwender wichtig, da hier seine Schaltungsapplikation angeschlossen wird. Es ist universell ausgelegt und erlaubt den Betrieb von Hardwareperipherie mit Datenbusbreiten von 8, 16 oder 32Bit sowie einer Adressbusbreite von maximal 32Bit.

Anwenderspezifische Komponenten steuern den Datenaustausch über das Local Bus Interface zweckmäßig mit Hilfe klassischer Signale wie /LHOLD, /HOLDA, /WAIT, /READY oder /LW/R.

Die angeschlossene Peripherie kann selbst aus einem Mikroprozessorsystem bestehen oder im einfachsten Fall als Datenlatch ausgebildet sein.

Die Architektur der PCI-Controller unterstützt auch die Einbindung von Speicher. Es lassen sich bis zu 4 Gbyte pro Adress-Region adressieren, zwei lokale Adress-Regionen sind möglich.

Der PCI9054 besitzt einen internen Registersatz um Initialisierungsdaten zu speichern, Einstellung, Aktivierung und Deaktivierung der Betriebsarten zu bewirken und Daten auszutauschen. Auf den Registersatz kann sowohl über den PCI-Bus als auch über das Local Bus Interface zugegriffen werden. Die Funktionen der PCI-Controller sind somit für beide Seiten transparent und nutzbar.

Für den schnellen Datentransfer ohne Inanspruchnahme der Host-CPU (Master Transfer Mode) sind zwei unabhängige DMAs vorgesehen, deren Startadressen und Transferzähler ebenfalls über Register einzustellen sind.

Für die BIOS- Erweiterung lassen sich ROMs mit parallelem Interface an den PCI9054 anschließen.

*PCI-Proto LAB/PLX-M* arbeitet mit einem seriellen EEPROM von 2 KByte Größe, das auf der Leiterkarte installiert ist. Es enthält Konfigurationsdaten für den Controller und kann editiert und überschrieben werden. Ein praktischer Editor für den Code des seriellen EEPROMS ist in dem Softwarepaket *PLX SDK* enthalten.

Der PCI9054 bietet natürlich auch die Möglichkeit, Interrupts von der Local- als auch von der PCI-Seite aus zu generieren.

## 2.2. JTAG-Unterstützung

Der PCI-Bus führt Leitungen, die für 'Boundary Scan' Testprozesse genutzt werden können. Diese auch als 'JTAG-Pins' bezeichneten Leitungen stellt *PCI-Proto LAB/PLX-M* dem Anwender auf einer Pfostenleiste zur Verfügung.

## 2.3. EEPROM

Das serielle EEPROM wird in der Initialisierungsphase (beim Booten des Hostrechners) gebraucht. Es enthält obligatorische Konfigurationsdaten, die den PCI-Controller speziell für die Anwendung im *PCI-Proto LAB/PLX-M* initialisieren. Das mit dem Softwarepaket *PLX SDK* gelieferte Monitorprogramm *PlxMon* bietet die Möglichkeit, das auf der Prototypenkarte installierte serielle EEPROM auszulesen, die Daten zu editieren und anschließend wieder in das EEPROM hinein zu schreiben.

## 3. Die Beispielapplikation

*PCI-Proto LAB/PLX-M* beinhaltet eine Beispielapplikation, die dem Entwickler zeigen soll, wie verschiedene Hardware Anforderungen (I/O und Speicherzugriff, high- und low-aktive Signalspiele) angepasst werden können. Das Applikationsbeispiel erlaubt das Schreiben und Lesen von 32 bit Daten ohne zusätzlichen Hardwareaufwand. Hierzu wurde ein einfacher Steuersignal-Decoder realisiert, der allgemeine Steuersignale für das Schreiben und Lesen von Daten bereitstellt.

*PCI-Proto LAB/PLX-M* gestattet die Ein- und Ausgabe von 32 Bit Daten über entsprechende Latches. Die zusätzlich erforderliche Logik ist in einem EPLD Baustein untergebracht, der auch noch Platz für nutzerspezifische Änderungen in Reserve hält. Der verwendete EPLD ist mit einem einfachen Verbindungskabel über den Parallel Port eines Computers 'in system' programmierbar. Die Quelltexte für den EPLD sind Bestandteil dieser Dokumentation.

Entsprechende Programmiersoftware kann bei Ihrem lokalen Bauelementedistributor für Produkte der Firma Lattice Semiconductor bestellt werden.

## 4. Nutzungshinweise

Um die PCI Hardwareentwicklung mit *PCI-Proto LAB/PLX-M* erfolgreich zu gestalten, ist das Studium der vorliegenden Dokumentation und des Technischen Handbuchs zu den PCI-Controllern unbedingt erforderlich. Liegt letzteres dem Produkt *PCI-Proto LAB/PLX-M* nicht bei, kann es kostenlos von *PLX Technology/USA* oder *Scantec - Topas/Deutschland* angefordert werden. Adressen und Telefonnummern befinden sich im Anhang dieser Dokumentation.

Aktuelle Informationen und Tipps, speziell für den Umgang mit dem PCI-Controller, kann man auch über das Internet beziehen. Ein technisches Handbuch für den PCI9054 ist als PDF file er-

hältlich. Dieses kann auf den Webseiten von PLX Technology heruntergeladen werden. Interessante Web-Adressen befinden sich gleichfalls im Anhang.

Die folgenden Hinweise sollen die Arbeit mit **PCI-Proto LAB/PLX-M** vereinfachen und helfen, Fehler zu vermeiden. Wir führen sie hier in ungeordneter Reihenfolge auf:

- **PCI-Proto LAB/PLX-M** wird so initialisiert, dass vier I/O- und Memory-Adressregionen vorhanden sind. Diese ermöglichen folgende Zugriffe:

PCI-Region 0 mem mapped, verwendet für Host-Zugriff auf Local/Runtime/DMA Register

PCI-Region 1 I/O mapped, verwendet für Host-Zugriff auf Local/Runtime/DMA Register

PCI-Region 2 I/O mapped, Adressbereich: 16 Bytes, korrespondiert mit dem lokalen Adressraum 0

PCI-Region 3 mem mapped, Adressbereich: 16 Bytes, korrespondiert mit dem lokalen Adressraum 1

- Die Busbreite beider lokaler Adressräume (0 und 1) ist mit 32 Bit initialisiert. Auf die als 'Beispielapplikation' installierten Latches kann mit Hilfe von 32 Bit-, 16 Bit- oder 8 Bit- Lese- und Schreibbefehlen zugegriffen werden. Es ist möglich, I/O- basierende (Basisadresse von PCI-Region 2 benutzen) als auch Memory-basierende Kommandos (Basisadresse von PCI-Region 3 benutzen) zum Lesen oder Schreiben der Latches anzuwenden.

- Zum Lesen und Schreiben von 32 Bit Daten sollte ausschließlich der Adressoffset 0 Verwendung finden, zum Lesen und Schreiben von 16 Bit Daten die Adressoffsets 0 oder 2, zum Schreiben oder Lesen 8 Bit Daten die Adressoffsets 0,1,2 oder 3.

- **PCI-Proto LAB/PLX-M** besitzt eine eigene Vendor ID, Device ID, Sub Vendor ID und Sub System ID. Die Vendor ID (10B5h) und die Device ID (9054h) ist von der PCI-SIG an PLX Technology vergeben worden und sollten nicht geändert werden.

Die Sub Device ID (9054h) wurde von PLX Technology für diesen Typ von PCI-Controller erteilt und sollte ebenfalls nicht geändert werden. Die Sub System ID (2263h) wurde speziell für das Produkt **PCI-Proto LAB/PLX-M** erteilt. Der Anwender kann bei PLX Technology eine eigene Sub System ID für seine Applikation beantragen. Wenden Sie sich diesbezüglich bitte an Ihren PLX Händler.

## 5. Software

Optional zur Prototypenkarte **PCI-Proto LAB/PLX-M** ist passende Software erhältlich.

Das Softwarepaket **PLX SDK** (Original Hersteller: PLX Technology), beinhaltet eine Host API Bibliothek (API: Applikation Programming Interface) für den PCI-Controller, sowie Treiber- software für die Betriebssysteme WindowsXP /2000 /NT /98/Linux. Weiterhin enthalten sind einige Beispielprogramme in Quelltextform und ausführliche Handbücher im PDF-Datenformat.

Das **PLX SDK** beinhaltet das nützliche Monitorprogramm **PlxMon**. Dieses Programm ermöglicht das Lesen und Schreiben von Daten im BYTE, LWORD und DWORD Format über I/O- oder Memory- Zugriffe. Auf die On-Board installierte Hardware der Beispielapplikation kann mit dem **PlxMon** Programm ebenfalls zugegriffen werden. **PlxMon** ermöglicht das Ändern der Konfigurations- und Initialisierungsdaten des PCI-Controllers, gestattet das Lesen und Schreiben der Inhalte der seriellen EEPROMs und vieles mehr.

Es gibt zwei Möglichkeiten um auf die Datenlatches (Beispielapplikation) zuzugreifen:

- I/O Schreib/Lese- Kommandos (über PCI Adressregion 2, korrespondiert mit dem lokalen Adressraum 0)
- Speicher Schreib/Lese- Kommandos (über PCI Adressregion 3, korrespondiert mit dem lokalen Adressraum 1)

Die folgenden Adressoffsets werden für die Beispielapplikation genutzt:

**für 32Bit Datenzugriff:**

Offset 0h      Daten-Bits    0 -31, Lane 0, 1, 2, 3

**für 16Bit Datenzugriff:**

Offset 0h      Daten-Bits    0 -15, Lane 0, 1

Offset 2h      Daten-Bits    15 -31, Lane 2, 3

**für 8Bit Datenzugriff:**

Offset 0h      Daten-Bits    0 -7, Lane 0

Offset 1h      Daten-Bits    8 -15, Lane 1

Offset 2h      Daten-Bits    16 -23, Lane 2

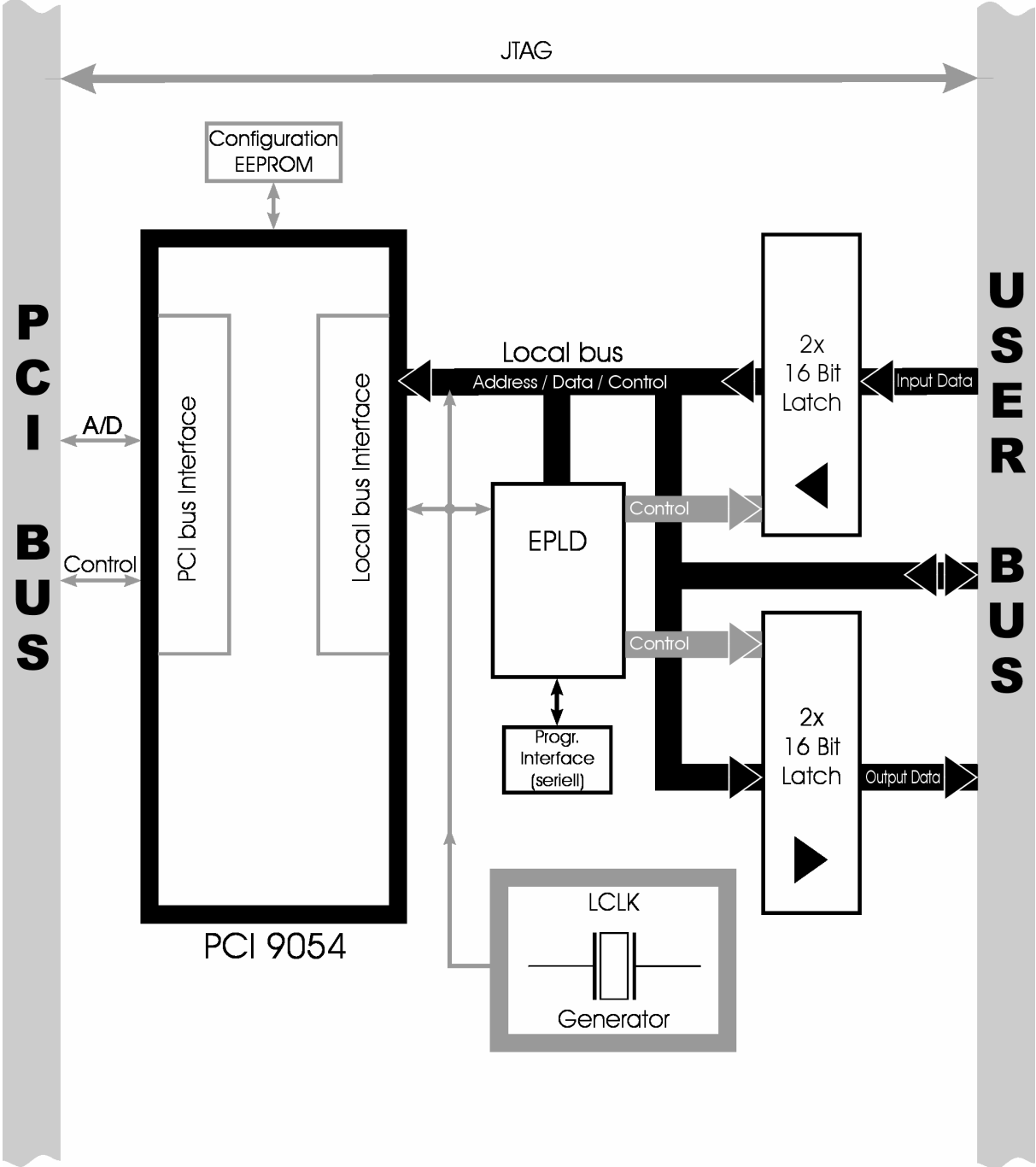
Offset 3h      Daten-Bits    24 -31, Lane 3

Der Anwender findet weitere Informationen über Handhabung und Benutzung des **PLX SDK** Software-Paket auf der Produkt-CD, die neben Benutzerhinweisen auch eine ausführliche Dokumentation enthält.

Das PLX SDK Paket ist nicht im Lieferumfang des PCI-Proto Lab/PLX-M enthalten, kann aber kostenfrei von den Webseiten der Firma PLX Technology heruntergeladen werden.

## 6. Anhang

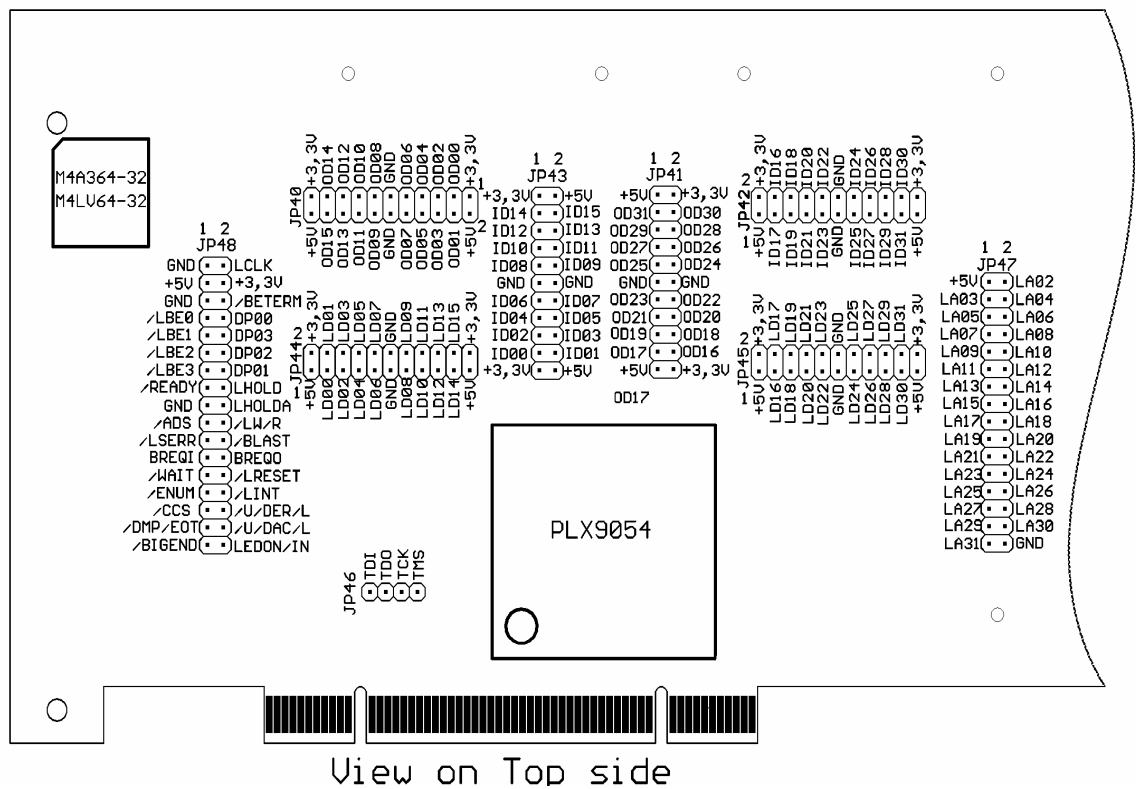
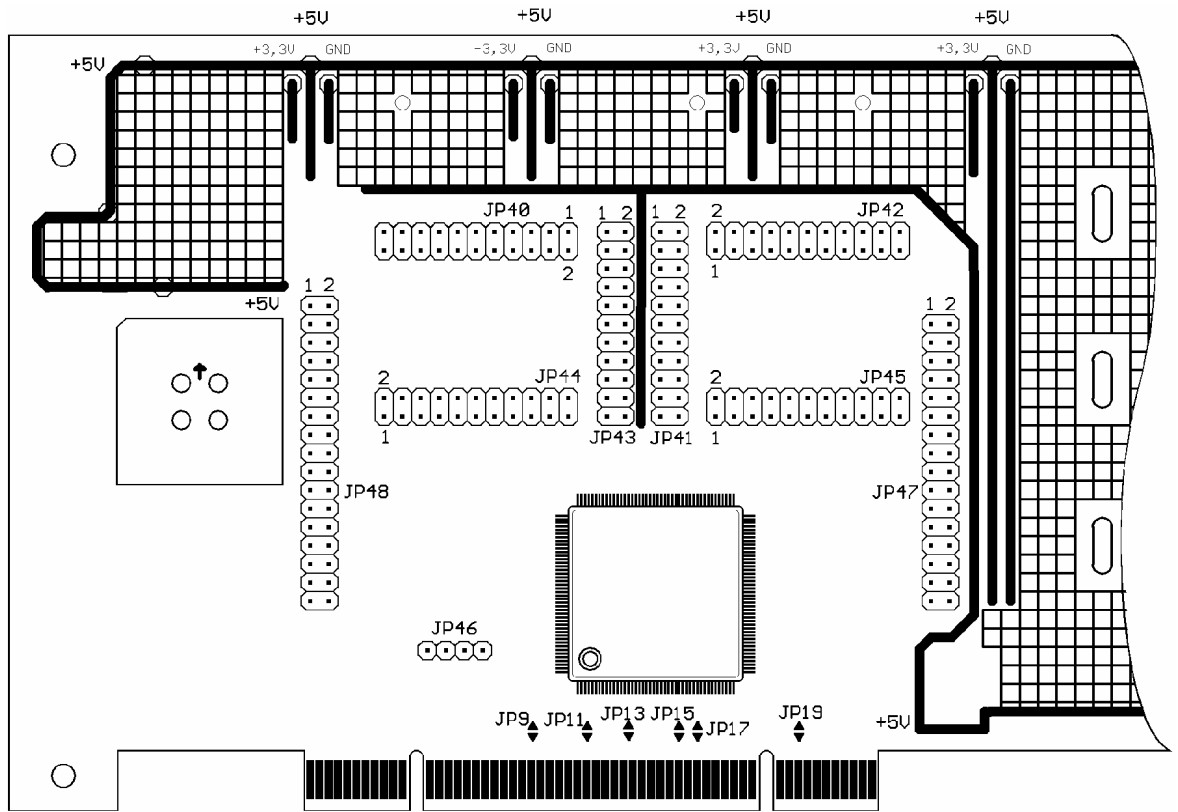
### 6.1. Bockschaltbild

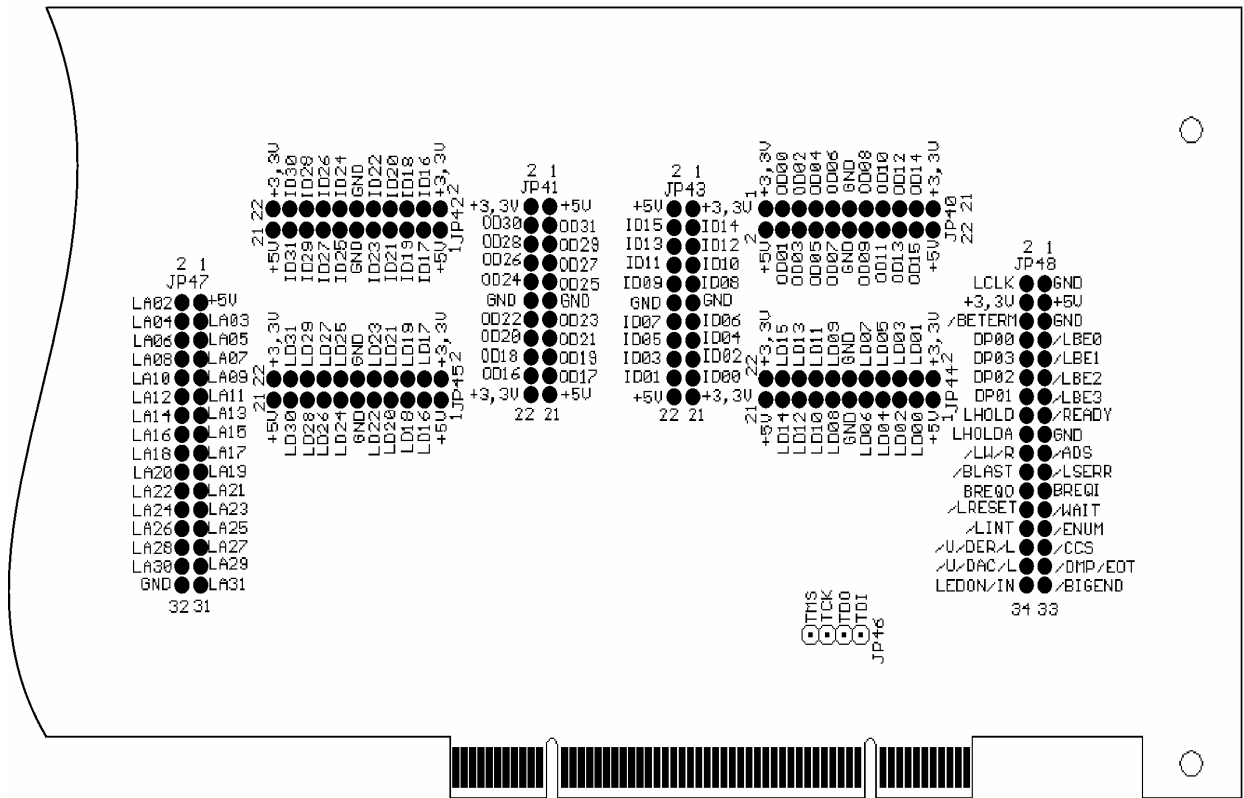


## **6.2. Schaltbild**

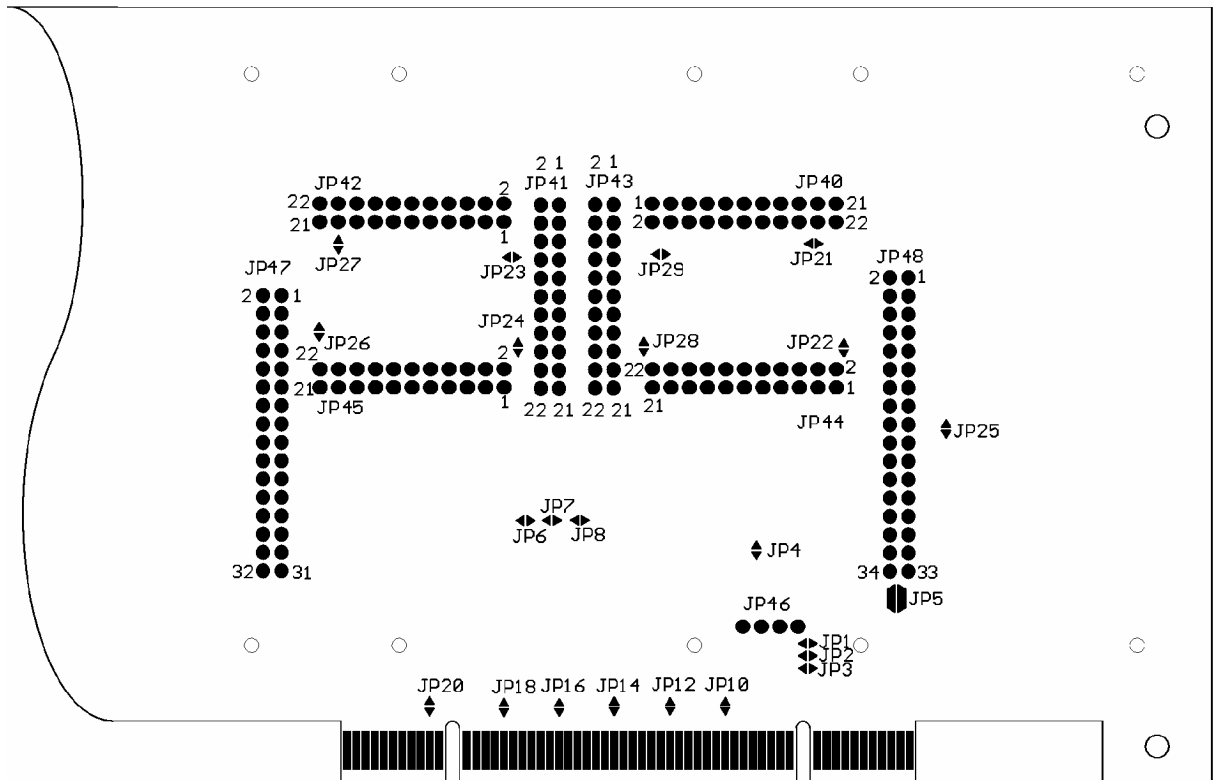
**Achtung:** Abschnitt 6.2. ist in dieser gekürzten Ausgabe nicht enthalten!

### 6.3. Anschlussbelegungen





View on Solder side



View on Solder Side

Anschlussdiagramm Leiterseite

## 6.4. Anschlussbelegungen Pfostenleisten

### Anschlussbelegung Pfostenseite J40, J41

Pin	Name	Pin	Name
01	+3,3V	02	+5V
03	out_data 00	04	out_data 01
05	out_data 02	06	out_data 03
07	out_data 04	08	out_data 05
09	out_data 06	10	out_data 07
11	GND	12	GND
13	out_data 08	14	out_data 09
15	out_data 10	16	out_data 11
17	out_data 12	18	out_data 13
19	out_data 14	20	out_data 15
21	+3,3V	22	+5V

### Anschlussbelegung Pfostenseite J40 (User bus/ data output 0 - 15)

Pin	Name	Pin	Name
01	+5V	02	+3,3V
03	out_data 31	04	out_data 30
05	out_data 29	06	out_data 28
07	out_data 27	08	out_data 26
09	out_data 25	10	out_data 24
11	GND	12	GND
13	out_data 23	14	out_data 22
15	out_data 21	16	out_data 20
17	out_data 19	18	out_data 18
19	out_data 17	20	out_data 16
21	+5V	22	+3,3V

### Anschlussbelegung Pfostenseite J41 (User bus/ data output 16 - 31)

## Anschlussbelegung Pfostenseite J42, J43

Pin	Name	Pin	Name
01	+5V	02	+3,3V
03	in_data 17	04	in_data 16
05	in_data 19	06	in_data 18
07	in_data 21	08	in_data 20
09	in_data 23	10	in_data 22
11	GND	12	GND
13	in_data 25	14	in_data 24
15	in_data 27	16	in_data 26
17	in_data 29	18	in_data 28
19	in_data 31	20	in_data 30
21	+5V	22	+3,3V

## Anschlussbelegung Pfostenseite J42 (User bus/ data input 16 - 31)

Pin	Name	Pin	Name
01	+3,3V	02	+5V
03	in_data 14	04	in_data 15
05	in_data 12	06	in_data 13
07	in_data 10	08	in_data 11
09	in_data 08	10	in_data 09
11	GND	12	GND
13	in_data 06	14	in_data 07
15	in_data 04	16	in_data 05
17	in_data 02	18	in_data 03
19	in_data 00	20	in_data 01
21	+3,3V	22	+5V

## Anschlussbelegung Pfostenseite J43 (User bus/ data input 0 - 15)

## Anschlussbelegung Pfostenseite J44, J45, J46

Pin	Name	Pin	Name
01	+5V	02	+3,3V
03	LD 00	04	LD 01
05	LD 02	06	LD 03
07	LD 04	08	LD 05
09	LD 06	10	LD 07
11	GND	12	GND
13	LD 08	14	LD 09
15	LD 10	16	LD 11
17	LD 12	18	LD 13
19	LD 14	20	LD 15
21	+5V	22	+3,3V

### Anschlussbelegung Pfostenseite J44 (Local bus/ data 0 - 15)

Pin	Name	Pin	Name
01	+5V	02	+3,3V
03	LD 16	04	LD 17
05	LD 18	06	LD 19
07	LD 20	08	LD 21
09	LD 22	10	LD 23
11	GND	12	GND
13	LD 24	14	LD 25
15	LD 26	16	LD 27
17	LD 28	18	LD 29
19	LD 30	20	LD 31
21	+5V	22	+3,3V

### Anschlussbelegung Pfostenseite J45 (Local bus/ data 16 - 31)

Pin	Name
01	TDI
02	TDO
03	TCK
04	TMS

### Anschlussbelegung Pfostenseite J46 (JTAG- Support)

## Anschlussbelegung Pfostenseite J47, J48

Pin	Name	PCI9054 Functions	Pin	Name	PCI9054 Functions
01	+5V	power supply	02	LA 02	output
03	LA 03	output	04	LA 04	output
05	LA 05	output	06	LA 06	output
07	LA 07	output	08	LA 08	output
09	LA 09	output	10	LA 10	output
11	LA 11	output	12	LA 12	output
13	LA 13	output	14	LA 14	output
15	LA 15	output	16	LA 16	output
17	LA 17	output	18	LA 18	output
19	LA 19	output	20	LA 20	output
21	LA 21	output	22	LA 22	output
23	LA 23	output	24	LA 24	output
25	LA 25	output	26	LA 26	output
27	LA 27	output	28	LA 28	output
29	LA 29	output	30	LA 30	output
31	LA 31	output	32	GND	power supply

## Anschlussbelegung Pfostenseite J47 (Local bus/ addresses 0 -31)

Pin	Name	PCI9054 Functions	Pin	Name	PCI9054 Functions
01	GND	power supply	02	LCLK	input
03	+5V	power supply	04	+3,3V	power supply
05	GND	power supply	06	/BTERM	input/output
07	/LBE0	output	08	DP00	output
09	/LBE1	output	10	DP03	output
11	/LBE2	output	12	DP02	output
13	/LBE3	output	14	DP01	output
15	/READY	input/output	16	LHOLD	output
17	GND	power supply	18	LHOLDA	input
19	/ADS	input/output	20	/LW/R	output
21	/LSERR	output	22	/BLAST	input/output
23	BREQI	input	24	BREQO	output
25	/WAIT	input/output	26	/LRESET	output
27	/ENUM	output	28	/LINT	input/output
29	/CCS	input	30	/U/DRE/L	input/output
31	/DMP/EOT	input/output	32	/U/DAC/L	input/output
33	/BIGEND	input	34	LEDON/IN	input/output

## Anschlussbelegung Pfostenseite J48 (Local bus/ control signals)

## 6.5. Löt Jumper Settings

Jumper	default setting	Function	
		open	closed
1	closed	motherboard JTAG chain broken	Motherboard JTAG chain closed
2	closed	Card Power Requirement Indication PRSNT1# is open (high)	Card Power Requirement Indication PRSNT1# is low
3	open	Card Power Requirement Indication PRSNT2# is open (high)	Card Power Requirement Indication PRSNT2# is low
4	open	blank or programmed serial EEPROM present on board <sup>1)</sup>	no serial EEPROM present on board <sup>1)</sup>
5	closed	+3.3V Main Supply active <sup>2)</sup>	+5V Main Supply active <sup>2)</sup>
6	open	TEST input pin (PCI9054) is low	TEST input pin (PCI9054) is high
7	open	MODE0 input pin (PCI9054) is low	MODE0 input pin (PCI9054) is high
8	open	MODE1 input pin (PCI9054) is low	MODE1 input pin (PCI9054) is high
9	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
10	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
11	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
12	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
13	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
14	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
15	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
16	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
17	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
18	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
19	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
20	open	+5V Main Supply active <sup>2)</sup>	+3.3V Main Supply active <sup>2)</sup>
21	closed	Output latch 'Data 8-15' at tristate <sup>3)</sup>	Output latch 'Data 8-15' active <sup>3)</sup>
22	closed	Output latch 'Data 0-7' at tristate <sup>3)</sup>	Output latch 'Data 0-7' active <sup>3)</sup>
23	closed	Output latch 'Data 24-31' at tristate <sup>3)</sup>	Output latch 'Data 24-31' active <sup>3)</sup>
24	closed	Output latch 'Data 16-23' at tristate <sup>3)</sup>	Output latch 'Data 16-23' active <sup>3)</sup>
25	open	/LHOLD and /LHOLDA are disconnected	/LHOLD and /LHOLDA are connected
26	closed	Input latch 'Data 16-23' locked	Input latch 'Data 16-23' transparent <sup>3)</sup>
27	closed	Input latch 'Data 24-31' locked	Input latch 'Data 24-31' transparent <sup>3)</sup>
28	closed	Input latch 'Data 0-7' locked	Input latch 'Data 0-7' transparent <sup>3)</sup>
29	closed	Input latch 'Data 8-15' locked	Input latch 'Data 8-15' transparent <sup>3)</sup>

<sup>1)</sup> Schließen Sie J4 für einen Boot Prozess ohne seriellen EEPROM (Booten mit Default-Werten).

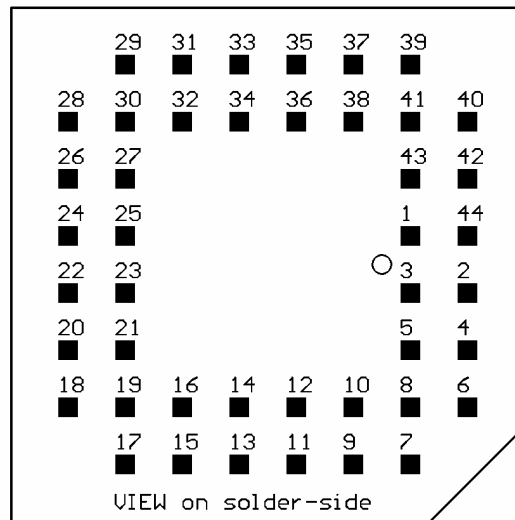
<sup>2)</sup> Schließen Sie J5 und lassen Sie J9-J20 offen bei +5V Spannungsversorgung, schließen Sie J9-J20 und lassen Sie J5 offen bei +3.3V Spannungsversorgung.

**Um elektrischen Schäden vorzubeugen, schließen Sie niemals J5 und J9-J20 zur selben Zeit.** Das Vorhandensein der +3.3V Versorgungsspannung am benutzten PCI Slot wird durch das Leuchten der LED D1(gelb) signalisiert.

<sup>3)</sup> Öffnen Sie J21-24 und J26-29, wenn Sie beabsichtigen, die /OEx und LEx-Signale mittels eigener elektronischer Schaltungen anzusteuern.

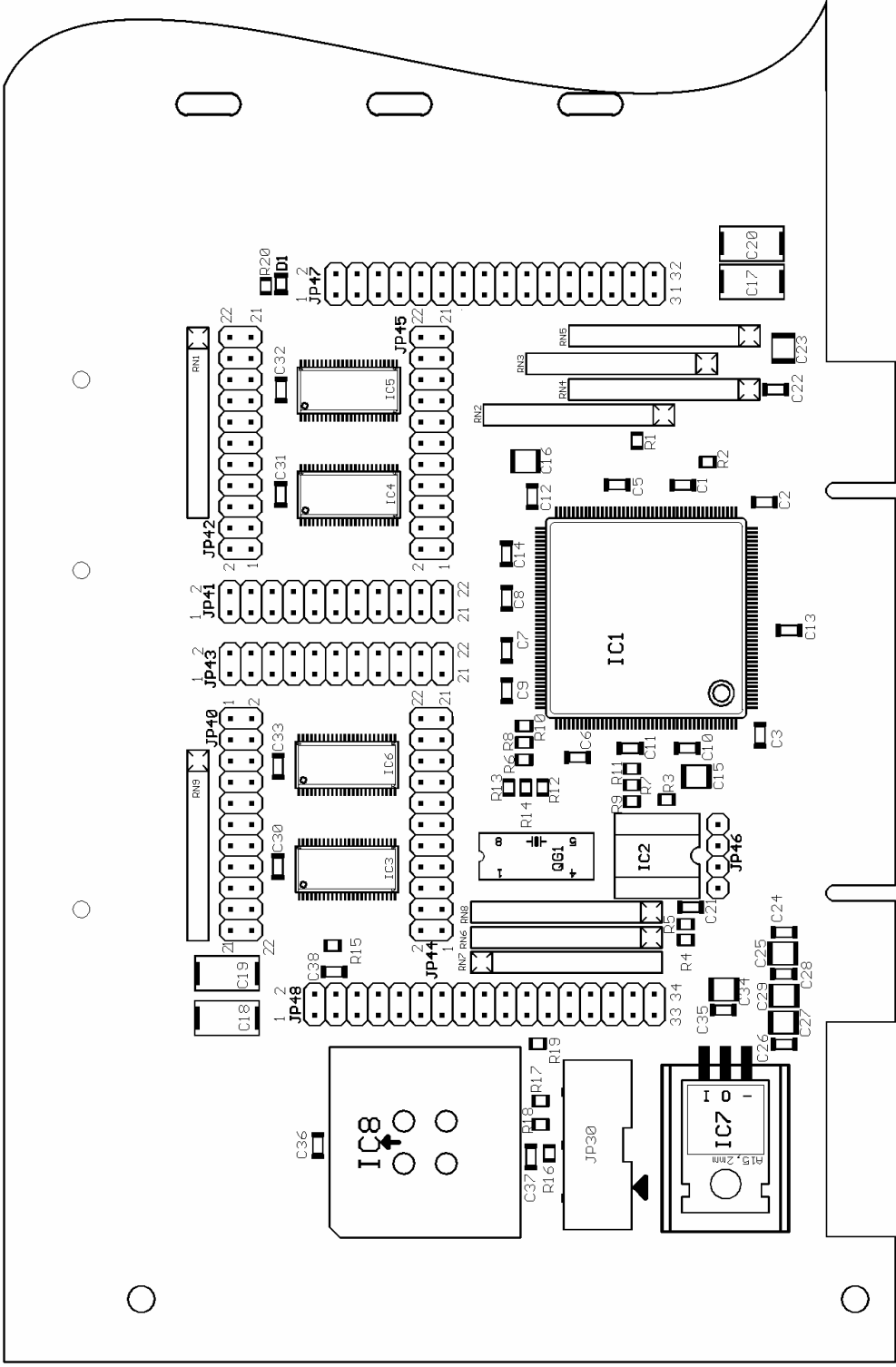
## 6.6. Anschlussbelegung EPLD

Sockelanschlussbild M4A3-64/32, Blick auf die Lötseite

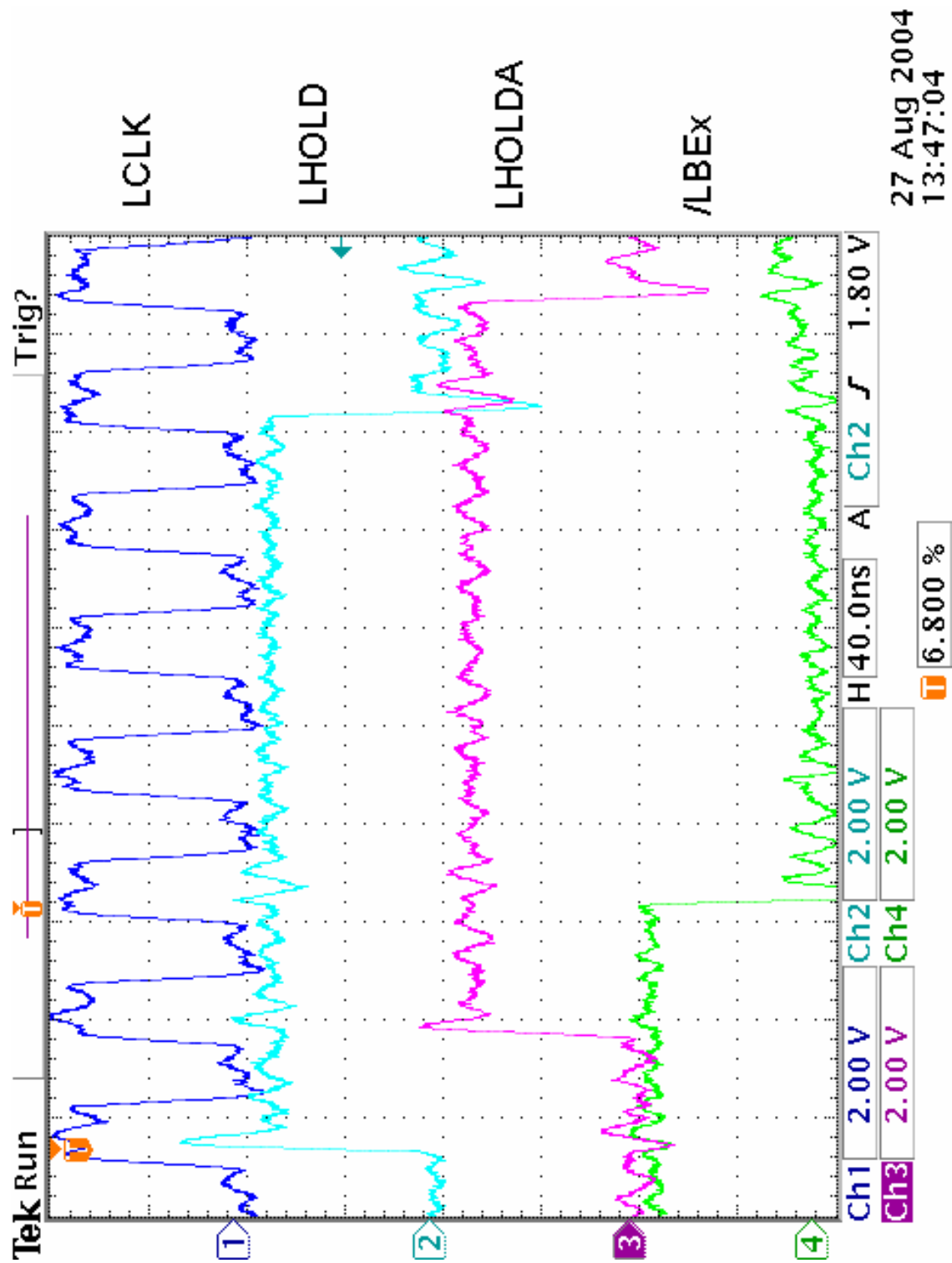


Pin	Name	M4A3-64/32 Functions	Pin	Name	M4A3-64/32 Functions
1	GND	power supply	23	GND	power supply
2	LHOLD	input	24	OLE2	Output
3	/BTERM	input (inactive)	25	BREQI	output (inactive)
4	<b>not used</b>	I/O 2	26	<b>not used</b>	I/O 18
5	/BLAST	output (inactive)	27	/U/DAC/L	input (inactive)
6	/LW/R	input	28	OLE3	Output
7	LA2	input	29	/LBE3	Input
8	/ADS	input (inactive)	30	/U/DRE/L	output (inactive)
9	LA3	input	31	/LBE2	Input
10	TDI	ISP-Interface	32	TDS	ISP-Interface
11	<b>not used</b>	CLK0/I0	33	LCLK	CLK1
12	GND	power supply	34	GND	power supply
13	TCLK	ISP-Interface	35	TDO	ISP-Interface
14	/IOE3	output	36	/LBE1	input
15	/IOE2	output	37	/LBE0	input
16	/IOE1	output	38	/WAIT	output (inactive)
17	/IOE0	output	39	/LRESET	input
18	OLE0	output	40	<b>not used</b>	I/O 28
19	<b>not used</b>	I/O 13	41	<b>not used</b>	I/O 29
20	OLE1	output	42	/READY	output
21	BREQO	input (inactive)	43	LHOLDA	output
22	+3,3V	power supply	44	+3,3V	power supply

# 6.7. Bestückungsplan

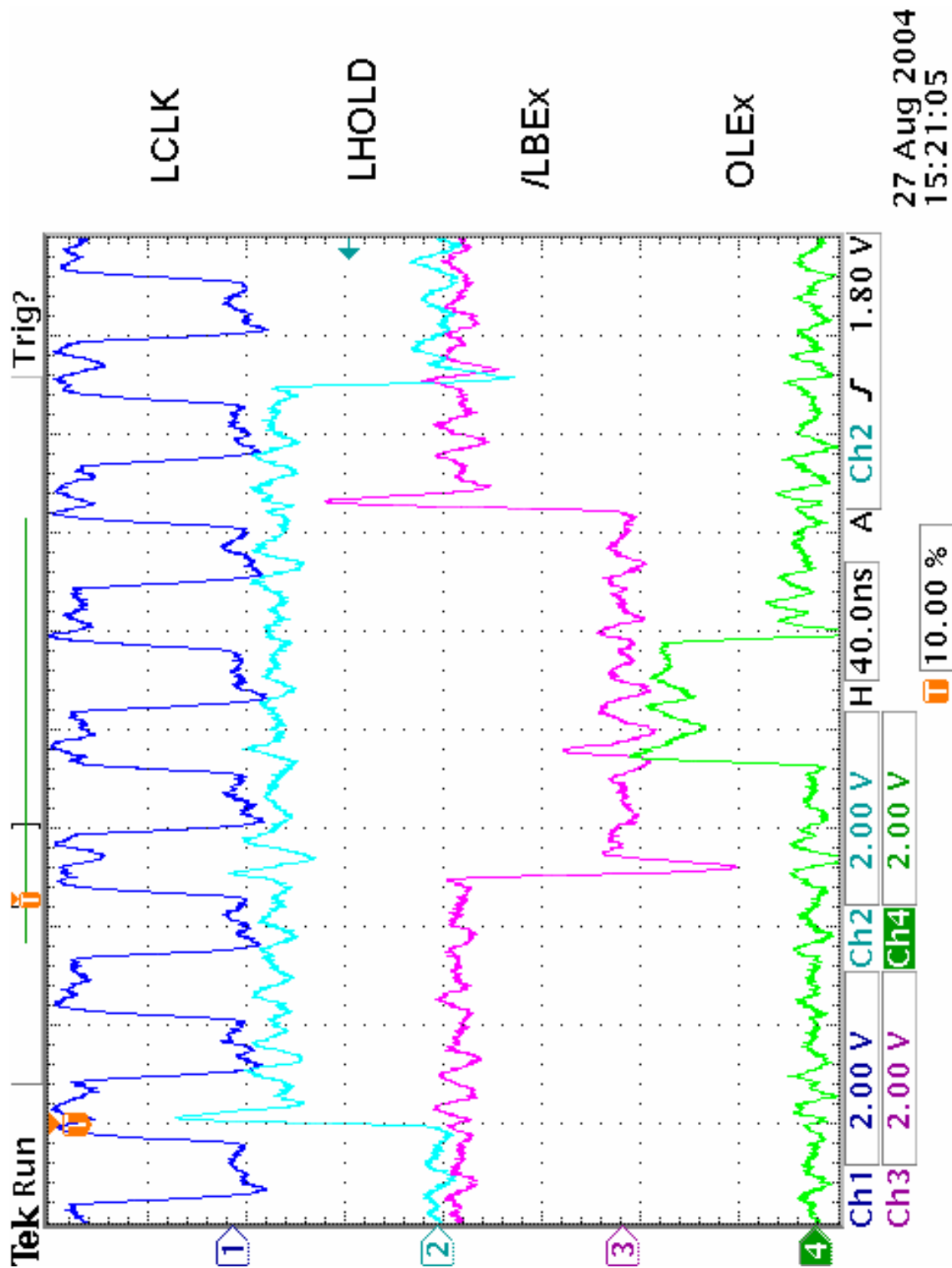


## 6.8. Oszillogramme



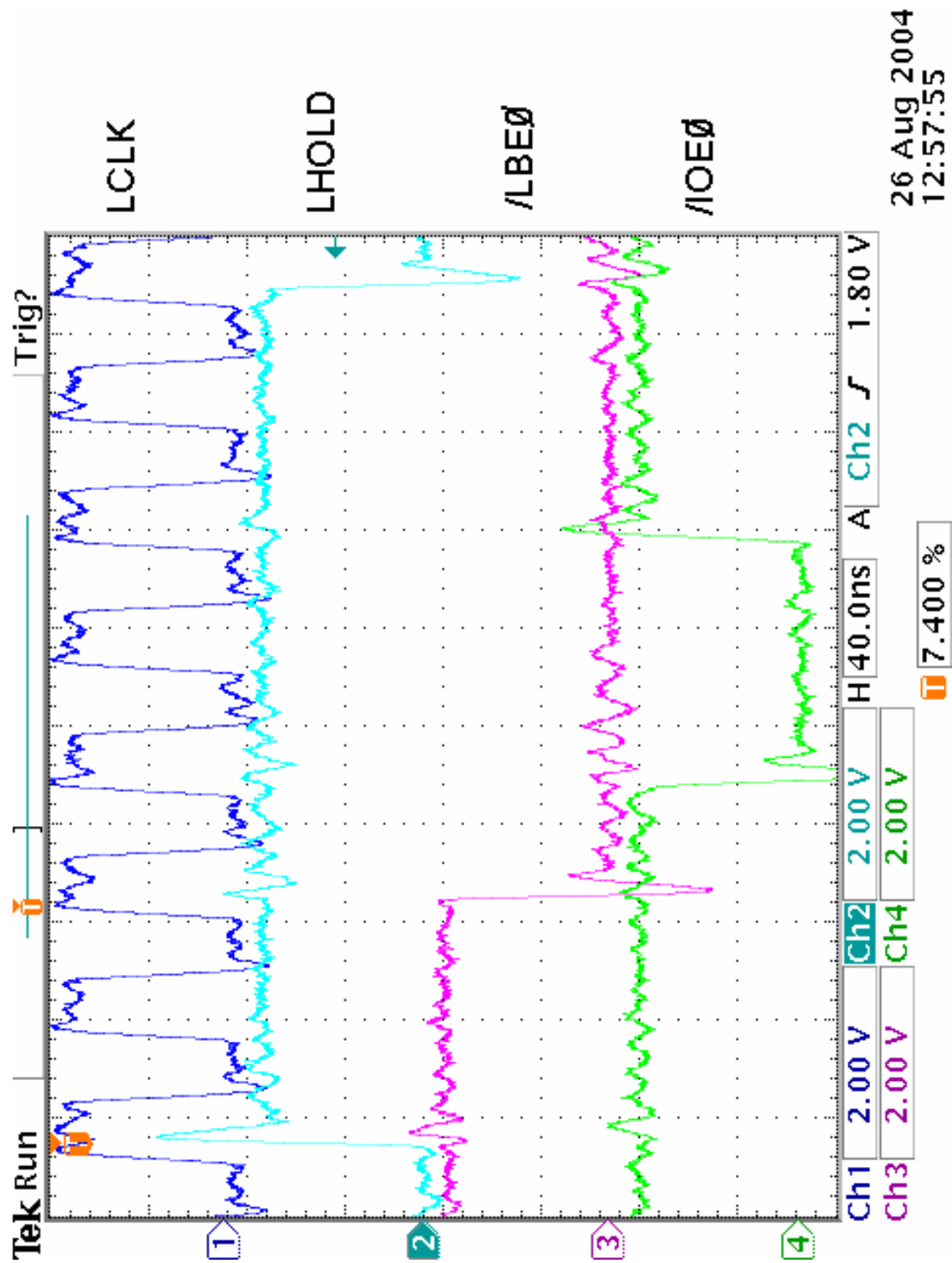
27 Aug 2004  
13:47:04

6.8.1 Oszillogramm, Host Zugriff auf den Local Bus, ein PCI9054 Wait State generiert



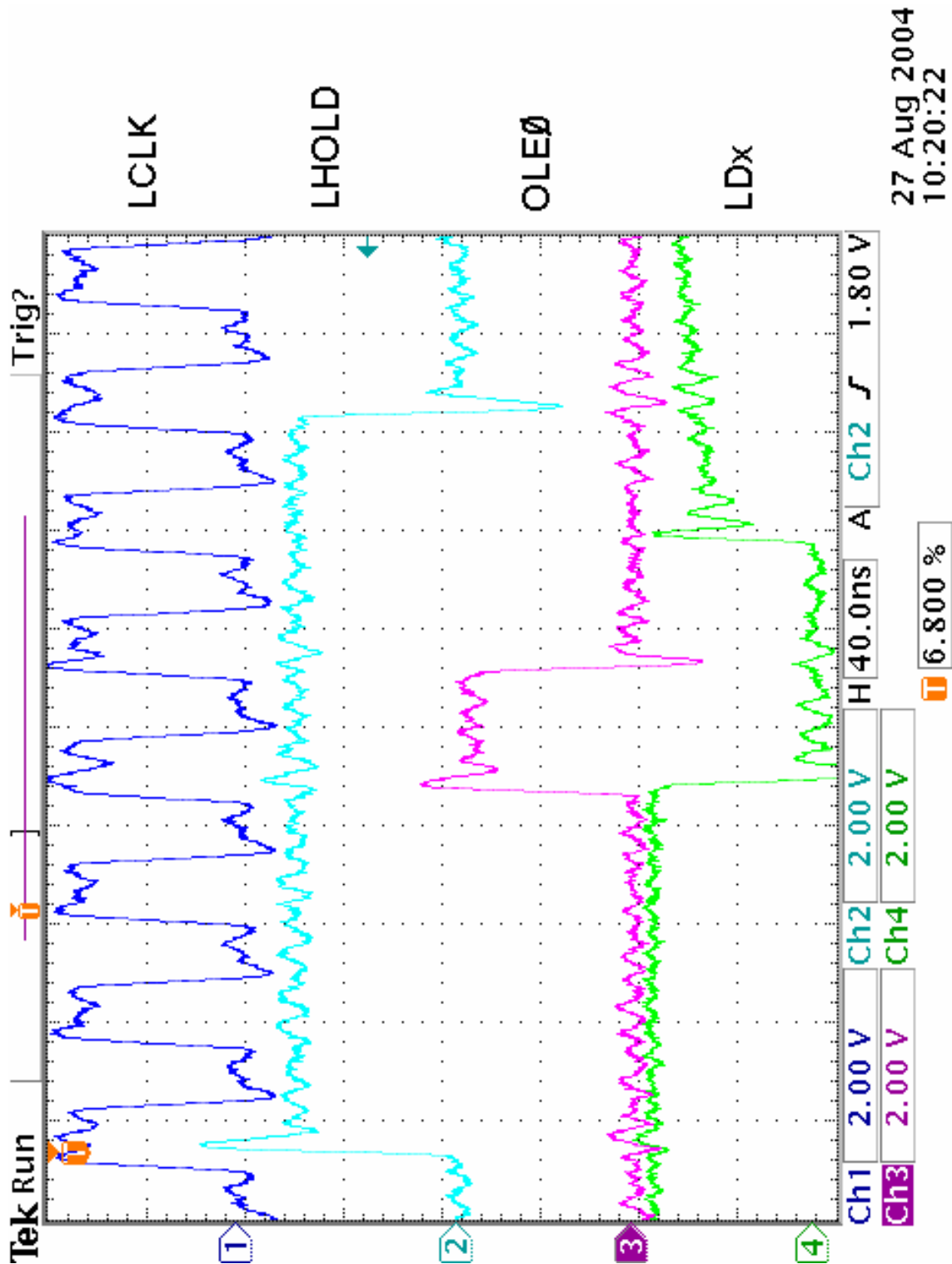
27 Aug 2004  
15:21:05

6.8.2 Oszillogram, 32Bit Host Schreib-Operation auf den Local Bus,  
(Kommando: &ol adr 0), ein PCI9054 Wait State generiert

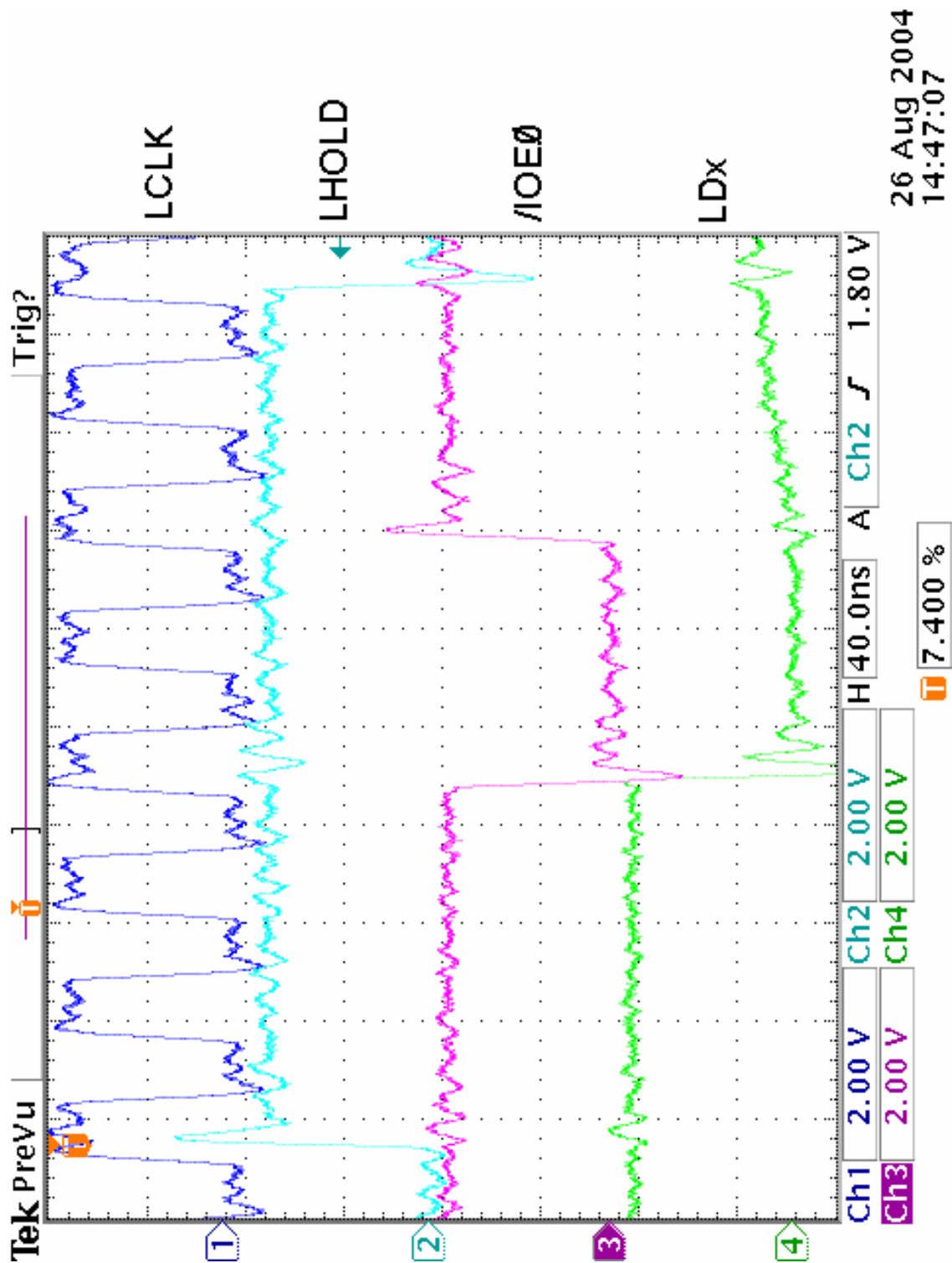


26 Aug 2004  
12:57:55

6.8.3 Oszillogramm, 32Bit Host Lese-Operation vom Local Bus (Kommando: &il adr), ein PCI9054 Wait State generiert



6.8.4 Oszillogramm, 32Bit Host Schreib-Operation auf den Local Bus mit Darstellung einer Data Line LDx (Kommando: &ol adr 0), ein PCI9054 Wait State generiert



26 Aug 2004  
14:47:07

6.8.5 Oszillogram, 32Bit Host Lese-Operation vom Local Bus mit Darstellung einer Data Line LDx (Kommando: &il adr), ein PCI9054 Wait State generiert

**6.9. Quellcode EPLD M4A3-64/32**  
**6.9.1. ABEL basierender Quellcode**  
**6.9.2. VHDL basierender Quellcode**

**Achtung:** Abschnitt 6.9. ist in dieser gekürzten Ausgabe nicht enthalten!

## 6.10. Lieferadressen

### Unsere Hotline:

HK Meßsysteme GmbH  
Grünauer Str. 8  
D-12557 Berlin/Germany

Phone: ++49/30/633 75 114  
Fax: ++49/30/633 75 116  
E-Mail: [info@pci-tools.com](mailto:info@pci-tools.com)  
Web: <http://www.pci-tools.com>  
<http://www.pci-tools.de>

### für unsere ausländischen Kunden in

#### North America:

HKM USA  
80 Lancaster Dr.  
Tewksbury, MA 01876  
Fax: ++1-978-863-0069  
Kontakt Person: Ilse Seichter  
Email: [RDSCONSLT@aol.com](mailto:RDSCONSLT@aol.com)

#### Japan:

Tateno-Dennou Inc.  
ASO bldg., 5-955 Baigo  
Oume-city, Tokyo, 198-0063 Japan  
Phone: ++81-428-77-7000  
Fax: ++81-428-77-7010  
Kontakt Person: Takao Fujii  
Email: [sales@dsp-tdi.com](mailto:sales@dsp-tdi.com)

#### Taiwan

Bentech Computer & Systems Corp.  
7F-3, No.23 Lane 169, Kang-Ning Str.  
His Chih Chen, Taipei Hsien,  
Taiwan, R.O.C.  
Phone: 886-2-2695-8906  
Fax: 886-2-2695-8911  
Kontakt Person: Benjamin Chu  
Email: [benjamin@ms1.hinet.net](mailto:benjamin@ms1.hinet.net)

#### Spain

Gerhard Kassner  
Servicios de comunicación  
Paseo Vergara, 9, 4-4M  
28250 Torreldones (Madrid)/Spain  
Phone/Fax: ++34-91-8590 797  
Kontakt Person: Gerhard Kassner  
Email: [kassner@teleline.es](mailto:kassner@teleline.es)

#### Korea

Dong AH Trade Corporation  
371-7 Hwagok 7-Dong,  
Kangso-Gu. 157-017,  
Seoul, Korea  
Phone: 82-2-2065-3311, 82-2-2608-8161  
Fax: 82-2-2608-8160  
Kontakt Person: H.J. Lee  
Email: [info@pcb21.co.kr](mailto:info@pcb21.co.kr)

### **Hersteller für PCI9054:**

PLX Technology, Inc.  
390 Potrero Ave.  
Sunnyvale, CA 94086  
U.S.A.

Phone: ++1-800-759-3735  
Fax: ++1-408-774-2169  
Web: <http://www.plxtech.com>

### **Deutscher Vertreiber der PLX Technology Produkte**

SCANTEC GmbH  
Industriestrasse 17  
82110 Germering

Phone: ++49-89-899143-0  
Fax: ++49-89-8576574  
Web: <http://www.scantec.de>

TOPAS electronic GmbH  
Postfach 11 04 11  
30100 Hannover

Phone: ++49-511-96864-0  
Fax: ++49-511-96864-64  
Web: <http://www.topas.de>

## **6.11. Webadressen**

<http://www.plxtech.com>

<http://www.latticesemi.com>

<http://www.pcisig.com>

<http://www.pci-tools.com>

<http://www.pci-tools.de>

## **6.12. Technische Daten**

Businterface: PCI, 32 Bit/33MHz, erfüllt die Local Bus Specification, Revision 2.2

PCI Controller: PCI9054, PLX Technology, Inc. (USA)

Größe: 312mm x 106mm, (174mm x 106mm nach mechanischer Einkürzung)  
32Bit/33 MHz Universal PCI-Karte, 3.3V /5V

Lochrasterfeld: 162,2 cm<sup>2</sup>

Stromversorgung: +3.3V, +5V, ±12V, Leistungsverbrauchsklasse über Lötbrücken wählbar